SPECIFICATION

1. Title of the Invention

SOLID-STATE IMAGING DEVICE

2. Claims

1. A solid-state imaging device having a plurality of photo-electric conversion devices which are disposed on a single semiconductor substrate and a scanning means which reads out signal charges of the photo-electric conversion devices, wherein the photo-electric conversion devices are formed in an impurity layer having a concentration lower than that of an impurity layer in which the scanning means is formed.

2. A solid-state imaging device having a plurality of photo-electric conversion devices which are disposed on a single semiconductor substrate and an amplification circuit which amplifies and reads out signal charges of the photo-electric conversion devices, wherein a power source line or a ground line of the amplification circuit is connected with the semiconductor substrate in the single semiconductor substrate.

3. A two-dimensional solid-state imaging device having a photo-electric conversion device which is disposed two-dimensionally on a single semiconductor substrate and a scanning means which reads out a signal charge of the photo-electric conversion device, wherein the photo-electric conversion device is formed in an n type impurity layer.

3. Detailed Description of the Invention

[Industrial Field]

The present invention relates to a sold-state imaging device,

and more particularly, to a sold-state imaging device suitable for obtaining a high sensitivity and a low smear.

[Prior Art]

Conventionally, as a reprehensive example of a two-dimensional sold-state imaging device, there has been a MOS type sold-state imaging device (by M. Aoki et al, ISSCC Digest of Technical Papers, p26, February 13, 1980), which has a construction of circuits illustrated in FIG. 10. In FIG. 10, reference numeral 1 denotes photo-electric conversion devices (photodiodes) which are disposed two-dimensionally shape and performs photo-electric conversion. Reference numeral 2 denotes a vertical scan circuit which selects each row. Reference numeral 3 denotes a vertical gate line which guides a select signal from the vertical scan circuit 2 to each vertical switch. Reference numeral 4 denotes a vertical switch which is opened and closed according to the select signal from the vertical scan circuit 2. Reference numeral 5 denotes a horizontal scan circuit which performs selecting of each row. Reference numeral 6 denotes a horizontal switch which is opened and closed according to the select signal from the horizontal scan circuit 5. Reference numeral 7 denotes an amplification circuit which is deposed outside the device. Reference numerals 8 and 9 denote a vertical signal line and horizontal signal line, respectively. The circuit carries out the following operations. Firstly, in a horizontal blanking period, a voltage of the vertical gate line 3 of a row selected by the vertical scan circuit 2 is increased, so that the vertical switches 4 are opened, and signal charges are

2

transmitted from the host diodes 1 to the vertical signal line. Next, in a, horizontal scan period, the horizontal scan circuit 5 is operated, so that the horizontal switches 6 are sequentially opened and closed, and the signal charge are sequentially transmitted through horizontal signal lines 9 and amplified by the amplification circuit 7 outside the device.

[Problems to Be Solved by the Invention]

The MOS type solid-state imaging device is implemented by not taking into consideration two points, that is, a KTC noise generated by a thermal noise of the horizontal switch 6 at the time of opening and closing the horizontal switch 6 and a noise of an external wide-band amplifier 7 required for high speed horizontal scan. As a result, there are problems of large noise and a low signal to noise ratio (hereinafter, referred to as an S/N ratio). In addition, there is no consideration of a smear phenomenon generated according to surplus charges generated in the vertical signal line 8 due to leakage of light during one horizontal scan period. Therefore, at the time of imaging with a high illumination, that is, imaging of a bright object, bright, white continuing lines occur vertically in a reproduced image, so that there is a problem in that a quality of image deteriorates.

Therefore, in Japanese Patent Application Laid-Open No. 62-128123, the inventors of the present invention proposed a solid-state imaging circuit including an amplification circuit which senses and amplifies a potential of each of vertical signal lines 8, a reset switch which resets the vertical signal lines, andameans (hereafter, referredtoasacorrelationdoublesampling

3

circuit) which senses a difference between a potential of the empty vertical signal line 8 after the reset and a potential of the vertical signal line 8 having a signal and outputs only the true signal component, thereby capable of obtaining a low noise and a low smear. FIGS. 10 to 13 are views for explaining operations of an example of such a solid-state imaging device. Hereinafter, the operations will be described with reference to the drawings.

FIG. 11 is a view illustrating a construction of a circuit according to an embodiment of the present invention. In the figure, reference numerals 1 to 6, 8, and 9 are the same as those of FIG. 10. Reference numeral 71 denotes a pre-amplification circuit which senses and amplifies a potential of each of the vertical signal lines. Reference numeral 72 denotes a self bias circuit which sets the pre-amplification circuit 71 to a high gain region. Reference numerals 74, 73, and 75 denote a coupling capacitance, a feedback capacitance, and a clamp switch, respectively. Reference numeral 12 denotes a unity gain buffer amplifier. Reference numerals 13 to 17 denote unity gain buffers of which offsets are cancelled (by Y. A. HAOUE et al, IEEE Journal of Solid State Circuit Vol. SC-14, pp.961-969, December. 1979). Reference numeral 13 denotes a memory capacitor. Reference numeral 14 denotes a sample hold switch for writing a signal in the memory capacitor 13. Reference numeral 15 denotes a signal read switch, and reference numeral 16 denotes a switch for canceling each set. Reference numeral 17 denotes an output buffer amplifier, and reference numerals 18 and 19 denote power source line and

4

ground line of each amplifier, respectively. Terminals OUT 1 and OUT 2 are output terminals. A voltage to a terminal V_V is a bias voltage required for operations of the unity gain buffer amplifier. Voltages to terminals V_D and V_S are a power source voltage and a ground voltage of each amplifier. FIG. 12 is a view illustrating a timing chart of a driving pulse of the device illustrated in FIG. 11. S1 to S5 are voltages to each terminal in FIG. 11. In the embodiment, each of switches is of N channel. In a case of P channel, polarities of clock signals are inverted. FIG. 13 illustrates a cross-sectional view taken along a line B-B' of a portion of the photo-electric conversion unit enclosed by a dashed line in FIG. 11 and a cross-sectioned view taken along a line A-A' of a portion of the scan circuit unit other than the photo-electric conversion unit. In the figure, reference numeral 21 denotes a p^- type substrate. Reference Numerals 22, 23, 24, and 25 denote a p type well, an n type well, an n^+ diffusion layer, and a p^+ diffusion layer, respectively. Reference numerals 26, 27, and 28 denote a gate polysilicon, a photodiode n^- diffusion layer, and a photodiode p^+ diffusion layer, respectively. Reference numeral 29, 30, and 31 denote a field diffusion layer, a field oxide layer, and an interlayer insulating layer. Reference numerals, 32-1, 32-2, 32-3, 33, 34, and 35 denote an aluminum wire line of power source of an amplifier, a first-layer aluminum wire line of ground of the amplifier, a vertical signal line aluminum wire line, an interlayer insulating layer, a second-layer aluminum wire line for light shielding, and a protective layer, respectively. Hereinafter, operations of the embodiment will

be described.

Firstly, in the horizontal blanking period, a DC output voltage of each row at the time of absence of signal charges and presence of only the smear charges is read out from the memory capacitor 13-1 of the unity gain buffer. The potentials of the terminals S1, S2, S3, and S5 are increased, so that the switches 72, 75, 14-1, and 16 are opened. At this time, the vertical signal line 8 is reset, and the pre-amplifier 71 is biased to the high gain region. In addition, an input terminal of the unity gain buffer amplifier 12 is reset to the bias voltage V_v. In addition, a voltage of an input terminal of the output buffer amplifier 17 becomes an offset voltage of the output buffer amplifier 17 (t_1, in FIG. 12). Next, the switch 72 is closed, and the pre-amplifier 71 is activated. At this time, due to the kTC noise, the voltage of the vertical signal line is fluctuated by V_h. However, since the switch 75 is opened, the noise is not transferred after the buffer amplifier 12 (t_2, in FIG. 12). Next, the switch 75 is closed, and the unity gain buffer amplifier 12 is activated. The potential change of the vertical signal line 8 after the time is transferred through the pre-amplifier 71, the coupling capacitance 74, and the unity gain buffer 12 to the memory capacitor 13-1 (t_3, in FIG. 12). After the elapse of T_{s1}, the switch 14-1 is closed, the DC output voltage of the buffer amplifier 12 at the time of absence of signal charges and presence of only the smear charges is maintained at one-side electrode of the memory capacitor 13-1 (t_4, in FIG. 12). Similarly, the DC output voltage at the time of presence of the signal charges

6

and the smear charges is read out from the memory capacitor 13-2 of the unity gain buffer. Namely, the switches 72, 75, and 14-2 are opened, and the input terminals of the vertical signal line 8 and the buffer amplifier 12 are reset. Next, the switches 72 and 75 are sequentially closed, and after that, a potential of an arbitrary vertical gate line 3 selected by the vertical scan circuit 2 is increased, so that the vertical switch 4 is opened and the signal charges are transferred from the photodiode to the vertical signal line 8. After the elapse of T_{S2} from the time that the switch 75 is closed, the switch 14-2 is closed, and the DC output voltage of the unity gain buffer amplifier 12 at the time of presence of the signal charges and the smear charges is maintained at the one-side electrode of the memory capacitor 13-2. Next, the switch 16 is closed, and the offset voltage of the output buffer amplifier 17 is maintained at the other-side electrodes of the memory capacitors 13-1 and 13-2.

In the horizontal scan period, DC outputs of the unity gain buffer amplifier 12 at the time of presence of the signal charges and the smear charges and DC outputs at the time of absence of signal charges and presence of only the smear charges which are retained in the memory capacitors are sequentially read out. Namely, if an arbitrary column (an n-th column) is selected by the horizontal scan circuit, the horizontal switches 6-2 and the read switches 15-2 of the n-th column are opened, and the DC output voltage of the buffer amplifier 12 at the time of presence of signal charges in the n-th column which are retained in the memory capacitors 13-2 in the n-th column occurs at the terminal

7

OUT 2. In addition, at the same time, the horizontal switches 6-1 and the read switches 15-1 in the (n+1)th column are also opened, and the DC output voltage of the buffer amplifier 12 at the time of absence of the signal charges in the (n+1)th column which are maintained in the memory capacitors 13-1 in the (n+1)th column occurs at the terminal OUT 1. Therefore, the output voltage of the terminal OUT 1 are delayed by one clock, and if a difference from the output voltage of the terminal OUT 2 is maintained, the potential change of the vertical signal line due to the smear charges cannot be introduced therein. Accordingly, the true signal component can be obtained.

According to the embodiment, a correlation double sampling circuit is provided to each of the vertical signal lines 8, so that it is possible to obtain a signal output without cross-talk of the kTC noise that is one of the main noise sources of the conventional MOS type solid-state imaging device. In addition, since the amplification circuits are provided to each of the vertical signal lines 8, the band required for operations of the amplification circuits can be set to be lower than the band required for the amplification circuits of the conventional device, so that it is possible to greatly reduce the noise of the amplifier, that is another one of the main noise sources of the conventional device. As a result, it is possible to obtain a high S/N ratio. In addition, the time of occurrence of surplus charges cross-talked into the signal is a time interval from a time that the self buffer switch 72 is closed to a time that the sample hold switch 14 is closed. The time of occurrence of surplus charges can

8

be greatly reduced in comparison with the one horizontal scan period of the conventional device. In addition, the potential change of the vertical signal line due to the smear charges and the potential changes of the vertical signal line due to the smear charges and the signal charges are independently read out, and a difference thereof is obtained, so that the true signal where the smears are not cross-talked can be obtained. Accordingly, it is possible to obtain a device having low smear.

However the above solid-state imaging device is implemented by not taking into consideration the following three points. However, each point will be described.

Firstly, as illustrated in FIG. 3, in the solid-state imaging device, similarly to the conventional MOS type device, the transistors having the same polarities in the photo-electric conversion unit and the scan circuit unit are formed in the same pwell 22. The multi-pixel, high-performance solid-state imaging device can be implemented by increasing a degree of integration using MOS transistors having fine dimensions in the scan circuit unit. According to the proportional reduction rule of the integrated circuit technology, as the dimension is reduced to $1/k$, a concentration of impurities of a substrate where the MOS transistors are formed (a well concentration of the solid-state imaging device) is increased by k times. As a result, if the fine MOS transistors are used in order to obtain the high performance, multi-pixel solid-state imaging device, a well concentration of the photo-electric conversion unit as well as the scan circuit unit is increased. Due to the increase in the well concentration,

9

a width of depletion layer formed in the vicinity of the photodiode is reduced by $1/\sqrt{k}$. As a result, a photo-electric conversion efficiency, that is, a photosensitivity is decreased.

The technology for fine MOS transistors is effective for improvement of the degree of integration, but a photo-sensitivity deteriorates, so that it causes a problem in that a high S/N ration cannot be achieved. In addition, the above-described problems are generally common to the conventional solid-state imaging device where the scan circuit unit and the photo-electric conversion unit are formed in the same impurity concentration layer irrespective of MOS type and CCD type solid-state imaging device.

Secondly, in the solid-state imaging device, when a horizontal column of signals are read out from memory capacitors in a lump, all the amplifiers in the horizontal direction are operated. At this time, as indicated by arrows in FIG. 11, the operating current of each amplifier flows from the terminal V_D through the power source line 18 to each amplifier and flows through the ground line 19 into the terminal V_S. As a result, there are problems of large voltage drop in the power source line and the ground line, horizontal shading and malfunction of an amplifier. The problem of the voltage drop in the power source line and the ground line are generally common to MOS type integrated circuits which handle analog signals.

Thirdly, similarly to the conventional solid-state imaging device, as illustrated in FIG. 13, the photo-electric conversion unit is formed in a p type impurity layer. As a result, the

following two problems occur. Firstly, the diffusion layer 24 connected to the first-layer aluminum wire line constituting the vertical signal line is an n^+ impurity layer, and the vertical switch is formed with an n channel MOS transistor. In addition, similarlytoageneralnchannelMOStransistor,anelementisolation region is formed with a thick field oxide layer 30 and a high-concentration field p^+ diffusion layer 29 directly below. At this time, an n^+-p^+ junction having a large capacitance per unit area is formed between the diffusion layer 24 and the field p^+ diffusion layer 29 (X in the figure), and the capacitance thereof is in a range of 20 to 30% of the total capacitance of the vertical signal line. On the other hand, according to the inventors' analysis, a random noise of the solid-state imaging devicehasadependencyof$C_V^{1/2}$to$V_V^{3/4}$withrespecttothecapacitance C_V of the vertical signal line. Namely, since the photo-electric conversion unit is formed in the p type impurity layer, the capacitance of the vertical signal line is increased, and the random noise is increased, so that there is a problem in that the S/N ratio is lowered. Secondly, the signal charges are electrons that are minor carriers in the p type impurity layer. For this reason, the generated carriers having a long diffusion length are introduced into adjacent photodiodes, so that there is a problem that the resolution deteriorates. Particularly, in a case of a device having a small pixel pitch such as a high precision device, the problem is of great significance. In addition, the above two problems are common to general MOS type imaging devices.

Three objects of the present invention are as follows.
A first object is to implement an imaging device having a scan
circuit having a high degree of integration and high performance
and a photo-electric conversion unit having a high
photo-sensitivity in a general imaging device of both a MOS type
and a CCD type. A second object is to prevent malfunction of
an amplifier by preventing a voltage drop in a power source line
or a ground line in an analog integrated circuit with the amplifier
embedded therein, particularly, in a solid-state imaging device.
A third object is to reduce random noise, to obtain a high S/N
ratio, and to achieve a high resolution characteristic by reducing
a capacitance of a vertical signal line in a MOS type imaging
device.

[Means for Solving Problems]

The first object is achieved by forming a scan circuit
unit in a high concentration impurity layer and by forming a
photo-electric conversion unit in a low concentration impurity
layer. In addition, the second object is achieved by connecting
power lines or ground lines of amplifiers to a semiconductor
substrate in a device. In addition, the third object is achieved
by forming the photo-electric conversion unit in an n type impurity
layer.

[Operations]

Firstly, by forming the scan circuit in a high concentration
impurity layer according to the proportional reduction rule,
it is possible to implement a highly-integrated high performance
scan circuit by using a fine MOS transistor. In addition, by

12

forming the photo-sensitive portion in a low concentration impurity layer, it is possible to extend the depletion layer in the vicinity of the photodiode and to improve the photosensitivity. By doing so, it is possible to implement a solid-state imaging device having a highly-integrated scan circuit having a high performance and a photo-electric conversion unit having a high sensitivity.

Secondly, since the power source line or the ground line of an amplifier is connected to the semiconductor substrate in the device, the operating current of the amplifier can flow in a rear surface from the substrate but not in the wire line layer disposed on a surface of the semiconductor. Since the operating current of each amplifier is small and since resistance of the rear surface from the substrate thereof is also small, the voltage drop in the power source line or the ground line of each amplifier becomes small, and the malfunction of the amplifier can be prevented.

Thirdly, since the photo-electric conversion unit is formed in the n type impurity layer, the transistors formed in the photo-electric conversion unit can be formed as the p channel. By doing so, since the element isolation is possible without formation of a high concentration diffusion layer in a field portion, it is possible to reduce the capacitance of the vertical signal line and to reduce the random noise. In addition, since the signal charges can be constituted by holes having a small diffusion length, it is possible to obtain a high resolution characteristic.

[Embodiments]

Hereinafter, an embodiment of a first present invention

13

will be described with reference to FIG. 1. In FIG. 1, reference numerals 21 to 35 are the same as those of FIG. 13. In the embodiment, a scan circuit unit (A-A' portion) has a cMOS structure where an n channel MOS transistor and a p channel MOS transistor are formed. The transistors are formed in a p type well 22 and an n type well 23 which have a concentration higher than that of the p substrate 21, respectively. On the other hand, a photo-electric conversion unit (B-B' portion) is formed in the p⁻ substrate 21 having a low concentration. According to the embodiment, since the scan circuit unit is formed in the high concentration impurity layer, it is possible to easily implement a high degree of integration by using fine transistors. Since the photo-electric conversion unit is formed on the low concentration substrate, it is possible to obtain a high photosensitivity. In addition, according to the embodiment, since particular impurities need not to be formed in the photo-electric conversion unit, there is an advantage that the number of processes can be completely the same as that of the conventional case.

In addition, in the embodiment, a case where the substrate is of a p type is described. However, in a case where the substrate is of an n type, the same applies if the polarities of the impurity layers are inverted.

In addition, although a case where the scan circuit unit has the cMOS structure is described, the effect of the present invention does not change even in a case where the scan circuit unit is formed with only the nMOS or pMOS.

14

In addition, a well layer having a concentration higher than that of the substrate and lower than that of the scan circuit unit and having the same type of polarity as that of the substrate may be formed in the photo-electric conversion unit. An embodiment of such a device structure is illustrated in FIG. 2. In FIG. 2(a), reference numeral "a" denotes an impurity layer having the same polarity type as that of a substrate formed on the upper portion of the substrate 21 and having a concentration of impurities higher than that of the substrate. The layer may be formed by diffusion of p type impurities or by epitaxial growth on the upper portion of the substrate 21. In addition, reference numerals 22 and 23 denote a P well and an N well which have a concentration higher than that of the impurity layer "a". Here, a depth of each impurity layer may be selected as a needed value in terms of a photosensitivity characteristic and a resistance pressure. In addition, the depth may be set in any relationship of W_{PD} = W_{SC}, $W_{PD} > W_{SC}$, $W_{PD} < W_{SC}$, or the like.

In FIG. 2(b), "b" denotes an impurity layer for preventing charges generated in a deep portion of the substrate from being introduced into the photo-electric conversion region and preventing occurrence of smears and dark currents and deterioration of resolution. The buried layer is a layer having the same type of impurity as that of the substrate and having a concentration of impurities higher than that of the buried substrate. The charges that are generated in a portion deeper than the layer cannot be diffused into a layer higher than the layer by a potential barrier formed by the layer and the substrate. A depth of the

15

layer may also be a desired value in terms of the needed photosensitivity characteristic or the like. In addition, the depth may be set in any relationship of $W_{PD} \geq W_{SC}$, $W_{PD} < W_{SC}$, or the like. In addition, the layer may be formed over the entire device by diffusing the layer into the scan circuit region as well as the photo-electric conversion region.

Next, another embodiment of the first present invention will be described with reference to FIG. 3. Reference numerals 22 to 35 are the same as those of FIG. 13. Reference numerals 41 and 42 denote an n type substrate and p^- well, respectively. In the embodiment, the photo-electric conversion unit (B-B' portion) has a polarity opposite to that of the substrate and is formed in a well having a concentration lower than that of the scan circuit unit. According to the embodiment, it is possible to implement an imaging device having a highly-integrated scan circuit and having a high photosensitivity.

In addition, in a case where the substrate is of a p type, the same applies if the polarities of the impurity layers are inverted.

In addition, the scan circuit may be formed with only nMOS or only pMOS.

In addition, in the embodiment of the first present invention, although the case of MOS type is described, it can be also adapted to a CCD type imaging device.

FIG. 4 illustrates an embodiment of a second present invention. In the figure, reference numerals 21 to 35 are the same as those of FIG. 13. In the embodiment, the ground line 44 of the amplifier

16

connected to the source of the nMOS transistor formed in the p type well 22 of the scan circuit unit is connected through the contact p⁺ layer 43 of the substrate to the p type well 22 and the p⁻ type substrate 21. The contact is provided to each amplifier arrayed in the horizontal direction. A current flowing from the power source line 32-1 through each transistor constituting the amplifier flows through the ground line 44 of the amplifier, the contact p⁺ layer 43 of the substrate, and the p type well into the p⁻ substrate and reaches the rear surface thereof (indicated by an arrow in the figure). Since the resistance from the contact p⁺ layer of the substrate to the rear surface thereof is small and since the flowing current corresponds to one amplifier, the voltage drop therebetween is negligible. Therefore, according to the embodiment, it is possible to prevent the voltage drop in the ground line and to prevent the malfunction of the amplifier. In addition, since there is no need to scan the ground line 44 in the horizontal direction, it is effective for a higher degree of integration of the device.

In addition, in the embodiment, a case of the p type substrate is described. However, in a case of the n type substrate, since the voltage of substrate becomes maximized in the device, the same effect can be obtained by connecting the power source line of the amplifier to the substrate.

FIG. 5 illustrates another embodiment of the second present invention. In the figure, reference numerals 21 to 35 are the same as those of FIG. 13, and reference numerals 43 and 44 are the same as those of FIG. 4. The power source line 32-1 of the

17

amplifier is connected via a through hole 45 to a second aluminum
wire line for light shielding which is disposed so as to prevent
the malfunction of the scan circuit unit. As a result, in the
embodiment, it is possible to increase a width of the power source
line without an increase in area and to prevent the voltage drop
in the power source line.

In addition, the same effect can also be obtained with
respect to the ground line.

In addition, the second present invention is not limited
to the solid-state imaging device, but it can be adapted to a
general integrated circuit having an amplifier and handling analog
signals.

FIG. 6 illustrates an embodiment of a third present invention.
In the figure, reference numerals 25, 26, 30 to 33, and 35 are
the same as those of FIG. 13, and reference numerals 51, 52,
and 53 denote an n^- substrate, a photodiode p^- diffusion layer,
and a photodiode n^+ diffusion layer, respectively. Since the
photo-electric conversion unit is formed in an n type impurity
layer, there is no need to form a high concentration impurity
layer in an element isolation region. As a result, in the embodiment,
it is possible to decrease the capacitance of the vertical signal
line and reduce the random noise without formation of high
concentration sides between the p^+ diffusion layers connected
to the vertical signal line 32-3. In addition, since the signal
charges are holes that are minor carriers in the n type substrate
and since the holes have a diffusion length smaller than that
of the electrons, it is possible to obtain a high resolution

characteristic.

In addition, the n^+ diffusion layer 53 can be omitted. It may be formed under the p^- diffusion layer 52, and the diffusion layer 52 may be a high concentration layer.

FIG. 7 illustrates another embodiment of the third present invention. In the figure, reference numerals 25, 26, 30, 31, 33, and 35 are the same as those of FIG. 13, and reference numerals 51 to 53 are the same as those of FIG. 6. Reference numeral 55 denotes a first-layer aluminum wire line for a contact between the vertical signal line second-layer aluminum wire line 54 and the p^+ diffusion layer 25. According to the present embodiment, by using the second-layer aluminum wire line for the vertical signal line, a thickness d of the insulating layer between a wire line and the substrate can be increased, so that it is possible to decrease the capacitance of the vertical signal line and to reduce the random noise.

In addition, in the embodiment illustrated in FIGS. 6 and 7, since the photodiode structure including a substrate having a high concentration layer and having the same polarity as a substrate disposed on the upper portion thereof and a low concentration diffusion layer having the opposite polarity has a low dark current and a depletion at the time of reading signals, there is a good characteristic that a reset noise does not occur. However, in a CCD type device, a potential well is generated in a portion where the low concentration diffusion layer is inserted under the read polysilicon gate, so that latent image is formed. On the contrary, in the aforementioned structure of the present

19

invention, particularly in a case where major carriers having the same polarity as the signal charges are present in a portion (hereinafter, referred to as a read portion) opposite to a photodiode of a reading gate, the voltage at the time of turning on the read gate can be designed to be lower than the potential of the read portion, so that it is possible to solve the aforementioned problem. Hereinafter, it will be described with reference to FIG. 8. FIG. 8(a) is a cross-sectional view of a photo-electric conversion unit that is the same as that of FIG. 7. FIGS. 8(b), (c), and (d) are views illustrating potentials according to signal charges (holes) of each component at the time of storing signal charges, reading signals, and ending of reading signals. In the figure, reference numerals Q_s and Q_h denote the signal charges and the residual charges. Hereinafter, the operations will be described. At the time of storing the signal charges, the residual charge Q_n and the signal charge Q_s are stored in the photodiode, and major carriers having the same polarity as the signal charges are present in the vertical signal line (FIG. 8(a)). At time of reading the signals, the voltage at the time of turning on the read gate becomes higher than the potential of the vertical signal line, and the residual charges Q_n flow into the potential well formed in the portion where the low concentration diffusion layer 52 is inserted under the read gate as illustrated in Y of (a) of the figure, and the signal charges Q_s are diffused into the vertical signal line having a high capacitance (FIG. 8(b)). Next, if the read gate is turned off, only the residual charges Q_n in the potential well return to the photodiode (FIG.

20

8 (c)). In the two-dimensional solid-state imaging device, the following operations are repeated. However, the residual charges Q_n present in the potential well that are causes of the latent image always reciprocates between the photodiode, and the potential well, but the residual charges are not read out to external portions of the device. Therefore, the residue that is a problem of the conventional CCD type does not occur. In addition, the effects described in the embodiment can be obtained irrespective of polarities of the carriers. In addition, a high concentration layer having the same polarity as that of the substrate needs not to be disposed on the upper portion of the photodiode. In addition, even if the read portion is not a vertical signal line, the same effect can be obtained if the major carriers having the same polarity as that of the signal charges are present.

FIG. 9 illustrates another embodiment of the third present invention. The embodiment is implemented by applying the present invention to an solid-state imaging circuit having an amplifier at each of pixel (Ando et al., Proceedings of '1986 National Conference of Television Society, pp51-pp52). In the figure, reference numerals 25, 30, 31, 33, and 35 are the same as those of FIG. 11, and reference numerals 51, 25-1, 26-2, and 26-3 denotes an n^- type substrate, a p^+ photodiode diffusion layer, a gate polysilicon of an amplifier driver transistor, and a gate polysilicon of a reset transistor, respectively. In the embodiment, since the amplifier driver transistor is constructed with pMOS transistors, the 1/f noise is smaller than that of the nMOS transistors, so that it is possible to obtain low noise.

21

In addition, the embodiment can be adapted to the pMOS driver transistor irrespective of detailed forms of the amplifier illustrated in the drawings.

In addition, the third present invention can be used to improve resolution by being applied to the CCD type device as well as the MOS type, pixel amplifying type device.

[Effects of the Invention]

According to the first present invention, since the scan circuitunitcanbehighlyintegratedandsincethephotosensitivity can be increased by the photo-electric conversion unit, so that it is possible to implement a multi-pixel and high density solid-state imaging device. According to the second present invention, since the voltage drop at the power line or the ground line of the amplifier can be reduced, so that it is possible topreventmalfunctionoftheamplifierincorporatedinthedevice. According to the third present invention, since the capacitance of the vertical signal line is lowered and since holes having a small diffusion length is used as signal charges, it is possible to implement an imaging device having a low random noise and a high resolution.

4. Brief Description of the Drawings

FIG. 1 is a view illustrating a cross-sectional structure ofascancircuitunitandaphoto-electricconversionunitaccording to an embodiment of a first present invention.

FIGS. 2 and 3 are views illustrating a cross-sectional structure of a scan circuit unit and a photo-electric conversion

unitaccordingtoanotherembodimentofthefirstpresentinvention.

FIG. 4 is a view illustrating a cross-sectional structure of a scan circuit unit according to an embodiment of a second present invention.

FIG. 5 is a view illustrating a cross-sectional structure of a scan circuit unit according to another embodiment of the second present invention.

FIG. 6 is a view illustrating a cross-sectional structure of a photo-electric conversion unit according to an embodiment of a third present invention.

FIGS. 7 and 9 are views illustrating a cross-sectional structureofaphoto-electricconversionunitaccordingtoanother embodiment of a third present invention.

FIG. 8 is a view illustrating a cross-sectional structure of a photo-electric conversion unit and a potential distribution for explaining a driving method where a residue does not occur.

FIGS. 10 and 11 are views illustrating a construction of circuits of a conventional MOS type solid-state imaging device.

FIG. 12 is a view illustrating a timing chart of a driving pulse of the device illustrated in FIG. 10.

FIG. 13 is a cross-sectional view taken along lines A-A' and B-B' of the device illustrated in FIG. 9.

21: P^- substrate

22: P TYPE WELL

23: N TYPE WELL

24: N^+ diffusion layer

25: P^+ diffusion layer

26: gate polysilicon

27: n^- diffusion layer of photodiode

28: p^+ diffusion layer of photodiode

29: field p^+ diffusion layer

30: field oxide layer

31: interlayer insulating layer

32-1: first-layer aluminum wire line for power source of amplifier

32-2: first-layer aluminum wire line for ground of amplifier

32-3: first-layer aluminum wire line of vertical signal line

33: interlayer insulating layer

34: second-layer aluminum wire line for light shielding

35: protective layer

41: n type substrate

42: p^- well

43: substrate contact p^+ layer

44: ground wire line of amplifier

45: through hole

51: n^- type substrate

52: p^- diffusion layer of photodiode

53: n^+ diffusion layer of photodiode

54: second-layer aluminum wire line of vertical signal line

55: first-layer aluminum wire line for contact

FIG. 3

41: n type substrate

42: p^- well

FIG. 5

43: contact p^+ layer of substrate

4: ground wire line of amplifier

45: through hole

FIG. 7

51: n^- type substrate

52: p^- diffusion layer of photodiode

53: n^+ diffusion layer of photodiode

54: second-layer aluminum wire line of vertical signal line

55: first-layer aluminum wire line for contact

FIG. 8

substrate potential

vertical signal line potential

gate-on potential

Qs: signal charge

Qn: residual charge

26-1: read gate

FIG. 10

5: horizontal scan circuit

2: vertical scan circuit

1: photo-electric conversion device

2: vertical scan circuit

3: vertical gate line

4: vertical switch

5: horizontal scan circuit

6: horizontal switch

7: external amplifier

8: vertical signal line

9: horizontal signal line

25-1: p^+ photodiode diffusion layer

26-2: amplifier driver transistor

26-3: gate polysilicon of reset transistor

FIG. 11

5: horizontal scan circuit

2: vertical scan circuit

photo-electric conversion unit

12: unity gain buffer amplifier

13: memory capacitor

14: sample hold switch

15: signal read switch

16: offset cancel switch

17: output buffer amplifier

18: power source line of amplifier

19: ground line of amplifier

71: pre-amplifier

72: self buffer switch

73: feedback capacitance

74: coupling capacitance

75: clamp switch

FIG. 12

potential Vp of arbitrary vertical gate line

FIG. 13

21: p$^-$ type substrate

22: p type well

23: n type well

24: n$^+$ diffusion layer

25: p$^+$ diffusion layer

26: gate polysilicon

27: n$^-$ diffusion layer of photodiode

28: p$^+$ diffusion layer of photodiode

29: field diffusion layer

30: field oxide layer

31: interlayer insulating layer

32-1: aluminum wire line for power source of amplifier

32-2: first-layer aluminum wire line for ground of amplifier

32-3: aluminum wire line of vertical signal line

33: interlayer insulating layer

34: second-layer aluminum wire line for light shielding

35: protective layer

明　　細　　書

1．発明の名称

　　固体撮像素子

2．特許請求の範囲

　1．同一半導体基板上に、配列された複数の光電
　　変換素子と、この光電変換素子の信号電荷を読
　　み出すための走査手段とからなる固体撮像素子
　　において、上記光電変換素子は上記走査手段の
　　形成される不純物層より低濃度の不純物層内に
　　形成されていることを特徴とする固体撮像素子。

　2．同一半導体基板上に、配列された複数の光電
　　変換素子と、この光電変換素子の信号電荷を増
　　幅して読み出すための増幅回路とからなる固体
　　撮像素子において、上記増幅回路の電源線もし
　　くはグランド線が上記半導体基板と同一半導体
　　基板内で接続されていることを特徴とする固体
　　撮像素子。

　3．同一半導体基板上に、２次元状に配置された
　　光電変換素子と、この光電変換素子の信号を読
　　み出すための走査手段とからなる２次元状の固

体撮像素子において、上記光電変換素子がｎ型
不純物層内に形成されることを特徴とする固体
撮像素子。

3．発明の詳細な説明

〔産業上の利用分野〕

　本発明は、固体撮像装置に係り、特に高感度，
低スメアを実現するのに好適な固体撮像装置に関
するものである。

〔従来の技術〕

　従来、２次元固体撮像装置の代表的な一種とし
てＭＯＳ型固体撮像装置が知られている（Ｍ．
Aoki et al：アイエスエスシーシー・ダイジエス
ト・オブ・テクニカル・ペーパーズ、ｐ26，Fed.
13、1980）。上記従来技術は第10図に示
すような回路構成によっている。第10図におい
て、１は２次元状に配置されて光電変換を行う光
電変換素子（ホトダイオード）、２は各行を選択
する垂直走査回路、３は垂直走査回路２からの選
択信号を各垂直スイッチに導く垂直ゲート線、４
は垂直走査回路２からの選択信号により開閉する

垂直スイッチ、5は各行の選択を行う水平走査回路、6は水平走査回路5からの選択信号により開閉する水平スイッチ、7は素子外部に設けられた増幅回路、8は垂直信号線、9は水平信号線である。上記回路はつぎの動作を行う。まず、水平ブランキング期間中に、垂直走査回路2により選択された行の垂直ゲート線3の電圧が高くなり、垂直スイッチ4が開き、信号電荷がホストダイオード1から垂直信号線8に送られる。その後、水平走査期間においては、水平走査回路5が動作し水平スイッチ6が順次開閉し、信号電荷は順次水平信号線9を経て素子外部の増幅回路7により増幅され出力される。

〔発明が解決しようとする課題〕

上記MOS型固体撮像素子は、水平スイッチ6が開閉する際に水平スイッチ6の熱雑音により発生するKTC雑音、ならびに、高速の水平走査に伴い必要となる外部広帯域増幅器7の雑音の2点についての配慮がされていない。その結果、雑音が大きく、信号対雑音比(以下S/N比という)

が低いという問題があった。さらに、一水平走査期間中に光の漏れ込み等により垂直信号線8内に発生する余剰電荷によるスメア現象に対しての考慮がなされておらず、高照度撮像時、即ち、明るい被写体を写したときに再生画の上下に白く尾を引いたような輝線が発生し、画質を著しく劣化するという問題があった。

これに対して、垂直信号線8ごとに垂直信号線8の電位を検知し、増幅する増幅回路と、垂直信号線をリセットするリセットスイッチを備え、リセット後の空の垂直信号線8の電位と、信号がある場合の垂直信号線8の電位との差を検知し真の信号成分だけを出力する手段(以下相関2重サンプリング回路という)を設けることにより、低雑音化と低スメア化を図つた固体撮像素子を、本願発明者等は提案している(特開昭62-128123号)。第10図から第13図はこの種の固体撮像素子の一例の動作を説明する図である。以下これを図に従って説明する。

第11図は、固体撮像素子の実施例の回路構成図を示す。図中1~6,8及び9は第10図のものと同一のものである。71は各垂直信号線の電位を検知増幅するための前置増幅回路、72は前置増幅回路71を高利得領域に設定するための自己バイアススイッチ、74はカップリング容量、73は帰還容量、75はクランプスイッチ、12はユニイテイゲインバツフアアンプ、13~17はオフセットをキャンセルしたユニイテイゲインバツフア(Y.A.HAOUE et al:アイ・イー・イー・イー・ジャーナル・オブ・ソリッドステイト・サーキット Vol.SC-14、pp.961-969,Dec.1979 (IEEE J.Solid-State Circuits, Vol. SC-14 pp. 961-969, Dec.1979))を構成しており、13はメモリ容量、14はメモリ容量13への信号書き込み用サンプルホールドスイッチ、15は信号読み出しスイッチ、16は各セットキャンセルのためのスイッチ、17は出力バッファアンプ、18,19は各アンプの電源線ならびにグランド線である。端子OUT1,OUT2は出力端子で端子Vvにはユニイテイゲインバツフアアンプの

動作に必要なバイアス電圧が端子Vp、Vsにはアンプの電源電圧とグランド電圧がかかる。また第12図は第11図の素子を駆動するためのパルスタイミングを示している。S1~S5は第11図の各端子にかかる電圧である。なお、本実施例は、各スイッチがNチャネルの場合であり、Pチャネルの場合はクロック信号の極性を反転したものとすれば良い。さらに、第13図は第11図の破線で囲まれた光電変換部の一部BB'の断面図と、光電変換部以外の走査回路部の一部AA'の断面図を示す。図中、21はp-型基板、22はp型ウエル、23はn型ウエル、24はn+拡散層、25はp+拡散層、26はゲートポリシリコン、27はホトダイオードn-拡散層、28はホトダイオードp+拡散層、29はフィールド拡散層、30はフイールド酸化膜、31は層間絶縁膜、32-1はアンプ電源アルミ配線、32-2はアンプグランド第1層アルミ配線、32-3は垂直信号線アルミ配線、33は層間絶縁膜、34は遮光用第2層アミル配線、35は保護膜である。以

下、本実施例の動作を説明する。

　水平ブランキング期間に入ると、まず、信号電荷がなく、スメア電荷だけがある時の各行の直流出力電圧をユニイテイゲインバツフアのメモリ容量１３－１に読み出す。Ｓ１，Ｓ２，Ｓ３，Ｓ５の電位が高くなり、スイツチ７２，７５，１４－１，１６が開く。このとき、垂直信号線８はリセツトされるとともに、前置増幅器７１は高利得領域にバイアスされる。また、ユニイテイゲインバツフアアンプ１２の入力端子はバイアス電圧Ｖｖにリセツトされる。更に、出力バツフアアンプ１７の入力端子電圧は、出力バツフアアンプ１７のオフセツト電圧になる（第１２図のｔ１）。つぎにスイツチ７２が閉じ、前置増幅器７１が活性化される。この時、ｋＴＣ雑音により垂直信号線はＶｎだけゆらぐが、スイツチ７５が開いているためにバツフアアンプ１２以降にはこの雑音は伝わらない（第１２図のｔ２）。この後スイツチ７５が閉じユニイテイゲインバツフアアンプ１２が活性化され、この時刻以降の垂直信号線８の電

位変動が前置増幅器７１とカツプリング容量７４、ユニイテイゲインバツフア１２を介して、メモリ容量１３－１に伝達される（第１２図のｔ３）。この後、Ｔｓ１だけ時間が経過した後、スイツチ１４－１が閉じ、信号電荷がなく、スメア電荷だけがある時のバツフアアンプ１２の直流出力電圧がメモリ容量１３－１の片側の電極に保持されることになる（第１２図のｔ４）。同様にして、信号電荷とスメア電荷のある時の直流出力電圧をユニイテイゲインバツフアのメモリ容量１３－２に読み出す。すなわち、スイツチ７２，７５，１４－２が開いて垂直信号線８およびバツフアアンプ１２の入力端がリセツトされる。その後、スイツチ７２，７５が順に閉じた後、垂直走査回路２により選択されたある垂直ゲート線３の電位が高くなり、垂直スイツチ４が開き、ホトダイオードより垂直信号線８に信号電荷が送られる。スイツチ７５が閉じてから時間Ｔｓ２を経過したのちスイツチ１４－２が閉じ、信号電荷とスメア電荷のある時のユニイテイゲインバツフアアンプ１２の直流

出力電圧が、メモリ容量１３－２の片側の電極に保持されることになる。この後に、スイツチ１６が閉じ、メモリ容量１３－１並びに１３－２のもう片側の電極には出力バツフアアンプ１７のオフセツト電圧が保持されることになる。

　水平走査期間に入ると、各メモリ容量に保持されたユニイテイゲインバツフアアンプ１２の信号とスメア電荷のある時と信号がなくスメア電荷だけがある時の直流出力が順に読み出される。すなわち、水平走査回路により、ある列が（ｎ列とする）選択されると、ｎ列の水平スイツチ６－２と読み出しスイツチ１５－２が開き、端子ＯＵＴ２にはｎ列のメモリ容量１３－２に保持されたｎ列の信号のある時のバツフアアンプ１２の直流出力電圧が表わされる。また、同時に、ｎ＋１列の水平スイツチ６－１と読み出しスイツチ１５－１も開き、端子ＯＵＴ１にはｎ＋１列のメモリ容量１３－１に保持されたｎ＋１列の信号電荷のない時のバツフアアンプ１２の直流出力電圧が表わされる。そこで、端子ＯＵＴ１の出力電圧を１クロ

ツク分遅延させ、端子ＯＵＴ２の出力電圧との差をとると、スメア電荷による垂直信号線の電位変動へ混入しない、真の信号成分を得ることができる。

　本実施例によれば、垂直信号線８ごとに相関２重サンプリング回路を設けることにより、従来のＭＯＳ型固体撮像素子の一つの主雑音源であるｋＴＣ雑音の混入しない信号出力を得ることができる。また、増幅回路を垂直信号線８ごとに設けることにより、増幅回路の動作に必要な帯域を従来素子の増幅回路に必要とされた帯域より低くでき、従来素子のもう一つの主雑音源である増幅器の雑音を大幅に低減できる。この結果、高Ｓ／Ｎ化を図ることができる。さらに、信号に混入する余剰電荷の発生時間は自己バイアススイツチ７２が閉じてから、サンプルホールドスイツチ１４が閉じるまでの時間となり、従来の一水平走査期間に対し、大幅に低減でき、かつ、スメア電荷による垂直信号線の電位変動と、スメア電荷と信号電荷による垂直信号線の電位変動を独立に読みだし、

その差をとることによりスメアの混合しない其の信号を得ているので、低スメア化が可能となっている。

ところで上記固体撮像素子においては、以下の3点についての考慮がなされていない。以下、各点について説明する。

第1に第3図に示す様に、上記固体撮像素子においては従来のMOS型素子と同様光電変換部と走査回路部の同一極性を持つトランジスタは同一pウエル22内に形成される。ところで、固体撮像素子の多画素化、高性能化は、走査回路部に微細な寸法を持つMOSトランジスタを使用し集積度を上げることにより実現される。集積回路技術が従っている比例縮小則によれば、寸法が1／kに小さくなるとMOSトランジスタの形成される基板不純物濃度（上記固体撮像素子においてはウエル濃度）はk倍になる。以上の結果、上記固体撮像素子では高性能化多画素化をめざし微細なMOSトランジスタを用いると、走査回路部とともに光電変換部のウエル濃度も上昇する。このウ

エル濃度の上昇により、ホトダイオードの周りに形成される空乏層幅は $1／\sqrt{k}$ に小さくなる。この結果、光電変換効率すなわち、光感度の低下が生じる。

すなわち、微細化技術の使用は集積度向上には有効であるが、光感度の劣化を伴い高S／Nを達成できないという問題が生じる。なお、ここで述べた問題点は走査回路部と光電変換部が同一不純物濃度層内に形成されたMOS型、CCD型を問わず、従来の固体撮像素子一般に共通する。

第2に、上記固体撮像素子では横一列の信号を一括してメモリ容量に読み出す際、水平方向の全アンプが動作する。この時、各アンプの動作電流は、第11図矢印で示す様に端子 V_D より電源線18を経て各アンプを流れグランド線19を経て端子 V_S に流れ込む。この結果、電源線およびグランド線においては大きな電圧降下が起き、水平シェージングひいてはアンプの誤動作という問題が生じる。なお、この電源線とグランド線における電圧降下という問題はアナログ信号を扱うMOS

型集積回路一般に共通である。

第3に、従来の固体撮像素子と同様に第13図に示すように光電変換部はp型不純物層に形成されている。この結果、以下の2点の問題が生じる。第1に垂直信号線を形成する第1層アルミ配線に接続される拡散層24はn+不純物層；垂直スイッチはnチャネルMOSトランジスタとなっている。また、一般のnチャネルMOSトランジスタと同じく、素子分離領域は、厚いフィールド酸化膜30とその直下の高濃度のフィールドp+拡散層29により形成される。このため、拡散層24とフィールドp+拡散層29の間（図示X）に、単位面積当たりの容量値の大きいn+－p+接合が形成され、この部分の容量値は全垂直信号線容量の20～30%以上を占めている。一方、本願発明者等の解析によれば、上記固体撮像素子のランダム雑音は、垂直信号線容量Cvに対して $Cv^{1/2}$ ～ $Cv^{3/4}$ の依存性を示す。すなわち、光電変換部をp型不純物層に形成したために、垂直信号線容量が大きくなり、ランダム雑音が大きくなりS／

N比が小さいという問題が発生している。第2に、信号電荷となるのは、p型不純物層中の少数キャリアである電子である。このために、拡散長が長く、発生したキャリアが隣接するホトダイオードにも混入し、解像度が劣化するという問題がある。特に、高精細素子の様に画素ピッチが小さくなる場合にはこの問題は重要となる。なお、以上2つの問題点は、MOS型撮像素子一般に共通する課題である。

本発明の目的は、以下の3点である。第1にMOS型、CCD型問わず一般の撮像素子において高集積かつ高性能の走査回路と高い光感度を持つ光電変換部を合せ持つ撮像素子を実現する。第2に、増幅器を内蔵するアナログ集積回路、特に固体撮像素子において電源線、グランド線における電圧降下を防ぎ、増幅器の誤動作をなくす。第3に、MOS型撮像素子において垂直信号線容量を小さくすることによりランダム雑音を低減し、高S／N化を図り、かつ、高解像度特性を達成する。

〔課題を解決するための手段〕

上記第1の目的は、走査回路部を高濃度不純物層内に、光電変換部を低濃度不純物層内に形成することにより達成される。また、上記第2の目的は、増幅器の電源線もしくはグランド線を半導体基板と素子内で接続することにより、達成される。さらに、上記第3の目的は、光電変換部をn型不純物層内に形成することにより、達成される。

〔作用〕

第1に、走査回路を比例縮小則に従い高濃度不純物層中に形成することにより、微細MOSトランジスタを使用し、走査回路を高集積高性能とすることができる。一方、光感変換部を低濃度不純物層中に形成することにより、ホトダイオード周辺の空乏層を伸ばすことができ、光感度を向上することができる。これにより、高集積高性能を持つ走査回路と、高い光感度を持つ光電変換部を合せ持つ固体撮像素子を実現できる。

第2に、アンプの電源線あるいはグランド線を半導体基板と素子内で接続することにより、アンプ動作電流は半導体表面に配置された配線層ではなく基板より、裏面に流れる。各アンプの動作電流は小さく、かつ、裏面までの基板の持つ抵抗も小さいために、各アンプの電源線もしくはグランド線までの電圧降下は小さく、アンプの誤動作を防ぐことができる。

第3に、光電変換部をn型不純物層内に形成することにより、まず光電変換部に形成されるトランジスタをpチャネルとすることができる。これにより、フイールド部に高濃度の拡散層を設けることなく、素子分離が可能となり、垂直信号線容量を小さくし、ランダム雑音を低減できる。さらに、信号電荷を拡散長の短いホールとでき、高解像度特性を得ることができる。

〔実施例〕

以下、第1の本発明の一実施例を第1図により説明する。第1図において、21～35は第13図と同じである。本実施例では、走査回路部（A－A'部）は、nチャネルMOSトランジスタとpチャネルMOSトランジスタで構成される

cMOS構造になつている。各トランジスタはp基板21より濃度の高いp型ウエル22とn型ウエル23内に形成されている。一方、光電変換部（B－B'部）は、濃度の低いp⁻基板21内に形成されている。本実施例によれば、走査回路部は高濃度不純物層内に形成されるので微細トランジスタを用い、高集積化を容易に図ることができ、光電変換部は低濃度基板上に形成されるので高い光感度を得ることができる。また、本実施例では、光電変換部に特別な不純物を形成する必要がないので、工程数も従来と全く同様にできるという利点も有している。

なお、本実施例では基板がp型の場合を述べたがn型の場合も各不純物層の極性を逆にすれば全く同様である。

さらに、走査回路部がcMOS構造の場合を述べたが、nMOSだけで構成される場合でも、pMOSだけで構成される場合でも本発明の効果に変わりはない。

また、光電変換部に基板より濃度が高く、かつ走査回路部より低濃度の基板と同型不純物層からなるウエル層を形成してもよい。この様な素子構造を具体化した実施例を第2図に示す。第2図（a）において、aは基板21の上部に設けた基板と同型かつ基板より不純物濃度の濃い不純物層である。この層はp型不純物の拡散によって形成してもよいし、或いは基板21の上部にエピタキシャル成長によって形成するようにしてもよい。また、22，23は各々不純物層aより濃度の高いPウエル、Nウエルである。ここで、各不純物層の深さは必要とする分光感度特性、耐圧等の視点から所望の値に選べばよく、$W_{PD} = W_{SC}$，$W_{PD} > W_{SC}$，或いは$W_{PD} < W_{SC}$など如何なる関係に設定してもよい。

第2図（b）においてbは基板深部で発生した電荷が光電変換領域に入込み、スメア，暗電流，解像度の劣化などが発生するのを防止するために設けた不純物層である。この埋込み層は基板と同型かつ埋込み基板より不純物濃度が高い層であり、本層より深部で発生した電荷は本層と基板の作る

電位障壁によって本層より上部に拡散することはできなくなる。本層の深さも必要とする分光感度特性等から所望の値に選べばよく、$W_{PD} \geq W_{SC}$，$W_{PD} < W_{SC}$など如何なる関係に設定してもよい。また、本層は光電変換領域だけでなく走査回路領域まで拡散し素子全体に渡って設けるようにしても支障はない。

つぎに、第1の本発明の他の実施例を第3図により説明する。22〜35は第13図と同じである。41はn型基板、42はp−ウエルである。本実施例では、光電変換部（B−B′部）は基板とは逆極性を持ち、かつ走査回路部より濃度の低いウエル内に形成される。本実施例によれば、高集積な走査回路と高い光感度を持つ撮像素子を実現できる。

なお、基板がp型の場合も各不純物層の極性を逆にすれば全く同様である。

さらに、走査回路はnMOSだけあるいはpMOSだけでもよい。

なお、以上の第1の本発明の実施例はMOS型

集積化にも有効である。

なお、本実施例においては、p基板の場合を述べたが、n基板の場合は、基板電圧が素子の中で最大となるので、アンプ電源線と基板を接続すればよい。

第5図に、第2の本発明の他の実施例を示す。図中、21〜35は第13図と、43，44は第4図と同じである。アンプ電源線32−1は、スルーホール45を介して、走査回路部の誤動作を防ぐために設けられた遮光用第2層アルミ配線に接続される。この結果、本実施例では面積の増加なく電源線の幅を広げることができ、電源線における電圧降下も防ぐことができる。

なお、グランド線でも同様な効果が得られることは言うまでもない。

また、第2の本発明は、固体撮像素子に限らず、アンプを有するアナログ信号を扱う集積回路一般に適用できる。

第6図に、第3の本発明の実施例を示す。図中、25，26，30〜33，35は第13図と同じ

の場合を述べたがCCD型撮像素子にも適用できることは言うまでもない。

第4図に、第2の本発明の実施例を示す。図中、21〜35は第13図と同じである。本実施例では、走査回路部のp型ウエル22内に形成されるnMOSトランジスタのソースに接続されたアンプグランド線44は基板コンタクトp+層43を介しp型ウエル22p−型基板21に接続される。このコンタクトは水平方向に並んだ各アンプごとに設けられる。電源線32−1よりアンプを構成する各トランジスタを貫通して流れる電流はアンプグランド線44基板コンタクトp+層43，p型ウエルを経てp−基板に流れ裏面に到達する（図中矢印で示す）。基板コンタクトp+層から裏面までの抵抗は小さく、かつ流れる電流もアンプ一段分であるので、この間の電圧降下は無視できるほど小さい。したがって、本実施例によれば、グランド線における電圧降下を防ぎ、アンプの誤動作を防ぐことができる。また、グランド線44を水平方向に走らせる必要がなくなり、素子の高

で51はn−基板、52はホトダイオードp−拡散層、53はホトダイオードn+拡散層である。光電変換部はn型不純物層内に形成されているため、素子分離領域に高濃度不純物層を形成する必要がない。この結果、本実施例では、垂直信号線32−3に接続されるp+拡散層間には両側が高濃度の接合が形成されることがなく、垂直信号線容量を小さくでき、ランダム雑音を低減できる。さらに、信号電荷は、n基板中の少数キャリアであるホールとなり、電子に比し拡散長が短いために、高い解像度特性を得ることができる。

なお、n+拡散層53はなくてもよい、p−拡散層52の下部に形成されてもよいし、拡散層52は高濃度層であってもよい。

第7図に、第3の本発明の他の実施例を示す。図中、25，26，30，31，33，35は第13図と同じで、51〜53は第6図と同じで、55は、垂直信号線第2層アルミ配線54とp+拡散層25とのコンタクトを取るための第1層アルミ配線である。本実施例によれば、垂直信号線

に第2層アルミ配線を用いることにより、配線と基板間の絶縁層の厚さdを厚くでき、垂直信号線容量を小さくし、さらに、ランダム雑音を低減できる。

さて、第6図並びに第7図の実施例で示した上部に基板と同極性の高濃度層を有した基板と逆極性の低濃度拡散層により構成されたホトダイオード構造は、暗電流が低く、信号読み出し時に空乏化するためにリセット雑音が発生しないというすぐれた特性を持っている。しかし、CCD型素子では低濃度拡散層が読み出しポリシリコンゲート下に入る部分にポテンシャルの井戸が発生し残像の原因となる。これに対して本発明で述べた構造の特に読み出しゲートのホトダイオードとは逆の部分（以下、読み出し部）に信号電荷と同極性の多数キャリアが存在している場合には、読み出しゲートのオン時電位を読み出し部電位より低くすることにより、この問題を解決できる。以下、第8図により説明する。第8図（a）は、第7図と同じ光電変換部の断面図、同図（b）（c）（d）

はそれぞれ信号電荷蓄積時、信号読み出し時、信号読み出し終了時の各部の信号電荷（ホール）に対する電位を示す図である。図中Qs，Qnは信号電荷と残留電荷を示す。以下、動作を説明する。信号電荷蓄積時には、ホトダイオードには残留電荷Qnと信号電荷Qsが蓄積され、垂直信号線には信号電荷と同極性の多数キャリアが存在している（第8図（a））。信号読み出し時には、読み出しゲートオン時電圧が垂直信号線電位より高くなり、残留電荷Qnは、同図（a）のYに示す低濃度拡散層52が読み出しゲート下に入った部分に形成されるポテンシャル井戸に入り、信号電荷Qsは大きな容量を持つ垂直信号線内に広がる（第8図（b））。ついで、読み出しゲートがオフすると、ポテンシャル井戸内の残留電荷Qnだけが再びホトダイオードに戻る（第8図（c））。2次元固体撮像素子においては、以下の動作がくり返されるが、残像の原因となるポテンシャル井戸内に存在する残留電荷Qnは、常にホトダイオードとポテンシャル井戸間を往復するだけで、何

ら素子外部に読み出されることはない。従って、従来CCD型素子で問題となった残留は発生することはない。なお、本実施例で述べた効果は、キャリアの極性によらず適用できる。また、ホトダイオード上部に基板と同極性の高濃度層を有していなくてもよい。さらに、読み出し部が垂直信号線でなくても、信号と同極性の多数キャリアが存在していればよい。

第9図に第3の本発明の別の実施例を示す。本例は、各画素ごとに増幅器を持つ固体撮像素子（安藤ほか：1986年テレビジョン学会全国大会予稿集pp51-pp52）本発明を適用した例である。図中、25，30，31，33，35は第11図と同じ、51はn-型基板、25-1はp+ホトダイオード拡散層、26-2は増幅器ドライバトランジスタゲートポリシリコン、26-3はリセットトランジスタゲートポリシリコンである。本実施例においては増幅器ドライバトランジスタがpMOSで構成されているために、nMOSトランジスタに比し1／f雑音が小さく

低雑音化が図れる。なお、本実施例は、各図ごとに設けられた増幅器の具体的形態によらずドライバトランジスタがpMOSであれば適用できる。

なお、第3の本発明はMOS型、画素増幅型素子ばかりでなく、CCD型素子に適用することに解像度向上を図ることができる。

〔発明の効果〕

第1の本発明によれば、走査回路部を高集積化し、かつ、光電変換部における光感度を高くすることができるので、多画素かつ高感度な固体撮像素子を実現できる。第2の本発明によれば、アンプの電源線あるいはグランド線における電圧降下を小さくできるので、素子に内蔵されたアンプの誤動作を防ぐことができる。第3の本発明によれば、垂直信号線容量を小さくし、かつ、拡散長の短いホールを信号電荷として使えるので、低ランダム雑音、かつ、高解像度な撮像素子を実現できる。
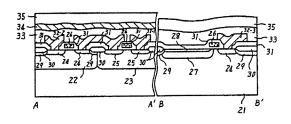
4．図面の簡単な説明

第1図は第1の本発明の一実施例の走査回路部

と光電変換部の断面構造を示す図、第2図及び第3図は本第1の本発明の他の実施例の走査回路部と光電変換部の断面構造を示す図、第4図は第2の本発明の一実施例の走査回路部の断面構造を示す図、第5図は第2の本発明の他の実施例の走査回路部の断面構造を示す図、第6図は第3の本発明の一実施例の光電変換部の断面構造を示す図、第7図及び第9図は本第3の発明の他の実施例の光電変換部の断面構造を示す図、第8図は光電変換部の断面構造と残留の発生しない駆動法を説明するための電位分布を示す図、第10図及び第11図は従来のMOS型固体撮像素子の回路構成を示す図、第12図は第10図の素子の駆動パルスのタイミングチャートを示す図、第13図は第9図の素子のA-A' B-B' の断面図である。21…p-基板、22…p型ウエル、23…n型ウエル、24…n+拡散層、25…p+拡散層、26…ゲートポリシリコン、27…ホトダイオードn-拡散層、28…ホトダイオードp+拡散層、29…フイールドp+拡散層、30…フイールド

酸化膜、31…層間絶縁膜、32-1…アンプ電源第一層アルミ配線、32-2…アンプグランド第一層アルミ配線、32-3…垂直信号線第一層アルミ配線、33…層間絶縁膜、34…遮光用第2層アルミ配線、35…保護膜、41…n型基板、42…p-ウエル、43…基板コンタクトp+層、44…アンプグランド配線、45…スルーホール、51…n-型基板、52…ホトダイオードp-拡散層、53…ホトダイオードn+拡散層、54…垂直信号線第2層アルミ配線、55…コンタクト用第1層アルミ配線。
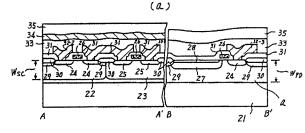
代理人　弁理士　小川勝男
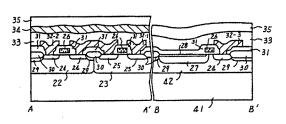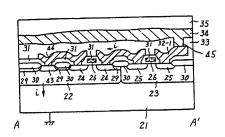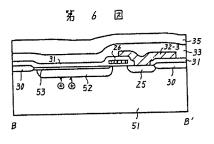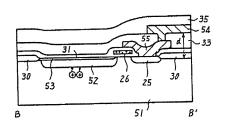
第 1 図

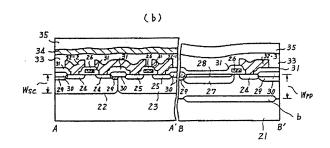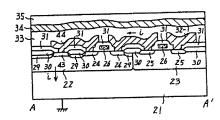第 3 図

41　n型基板
42　P⁻ウエル

第 2 図
（a）

（b）

第 4 図

第 5 図

43 基板コンタクトP⁺層
44 アンプグランド配線
45 スルーホール
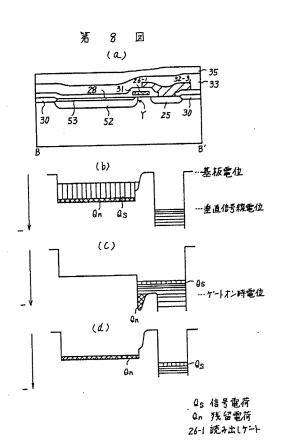
第 6 図

第 7 図

51 n⁻型基板
52 ホトダイオードP⁺拡散層
53 ホトダイオードn⁺拡散層
54 垂直信号線第2層アルミ配線
55 コンタクト用第1層アルミ配線

第 8 図

（a）

（b）

……基板電位

……垂直信号線電位

（c）

……ゲートオン時電位

（d）

Qs 信号電荷
Qn 残留電荷
26-1 読み出しゲート

第 11 図

水平走査回路

垂直走査回路

光電変換部

12 ユニティゲインバッファアンプ
13 メモリ容量
14 サンプルホールドスイッチ
15 信号読み出しスイッチ
16 オフセットキャンセルスイッチ
17 出力バッファアンプ
18 アンプ電源線
19 アンプグランド線
71 前置増幅器
72 自己バイアススイッチ
73 帰還容量
74 カップリング容量
75 クランプスイッチ

第 9 図

第 10 図

水平走査回路

垂直走査回路

1　光電変換素子
2　垂直走査回路
3　垂直ゲート線
4　垂直ゲート
5　水平走査回路
6　水平スイッチ
7　外部増幅器
8　垂直信号線
9　水平信号線
25-1　P型フォトダイオード拡散層
26-2　増幅器トランジスタ
26-3　ゲートポリシリコンリセットトランジスタ

第 12 図

S1
S2
S3
S4
S5
ある垂直ゲート線電位 Vp
TS1
TS2
t₁ t₂ t₃ t₄

第 13 図

21　P⁻型基板
22　P型ウェル
23　n型ウェル
24　n⁺拡散層
25　P⁺拡散層
26　ゲートポリシリコン
27　ホトダイオードn⁺拡散層
28　ホトダイオードP⁺拡散層
29　フィールドP⁺拡散層
30　フィールド酸化膜
31　層間絶縁膜
32-1　アルミ電源第1層アルミ配線
32-2　アルミブランチ第1層アルミ配線
32-3　垂直信号線第1層アルミ配線
33　層間絶縁膜
34　遮光用第2層アルミ配線
35　保護膜